

Patent



Customer No. 31561
Application No.: 10/707,865
Docket No. 12386-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Da-Jung Chen et al.
Application No. : 10/707,865
Filed : January 20, 2004
For : Chip package and substrate
Examiner : Kang, Donghee
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS

Alexandria VA 22314

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.:
92130893, filed on: November 5, 2003

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: June 16, 2005

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

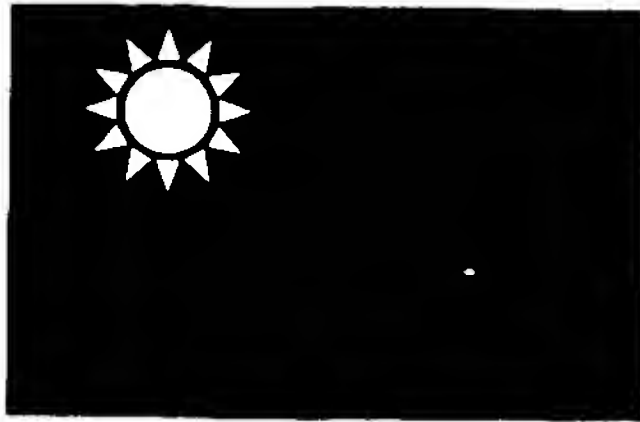
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application-as originally filed which is identified hereunder

申請日：西元 2003 年 11 月 05 日
Application Date

申請案號：092130893
Application No.

申請人：乾坤科技股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2004 年 2 月 1 日
Issue Date

發文字號：09320127430
Serial No.

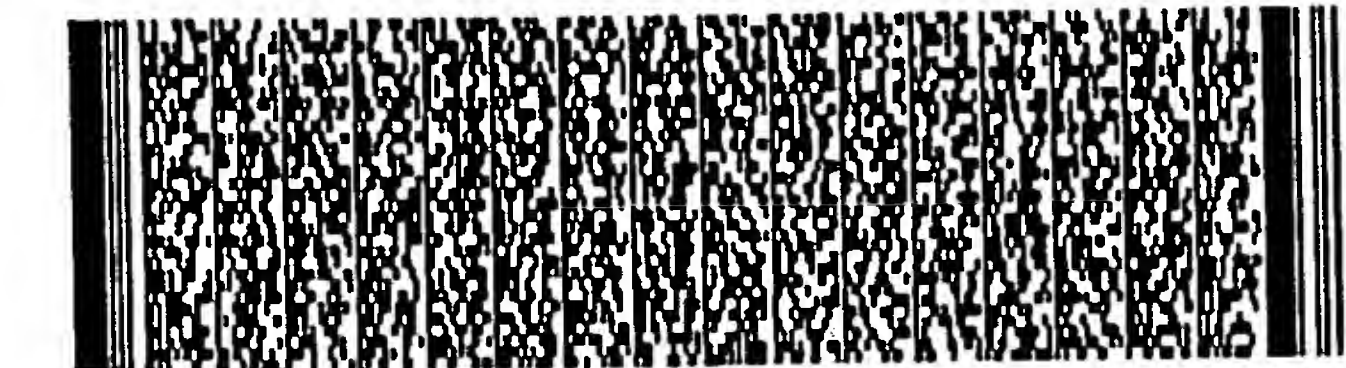
CERTIFIED COPY OF
PRIORITY DOCUMENT

請日期：	IPC分類
請案號：	

以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	晶片封裝結構及其基板
	英文	CHIP PACKAGE AND SUBSTRATE
二、發明人 (共4人)	姓名 (中文)	1. 陳大容
	姓名 (英文)	1. CHEN, DA JUNG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 桃園縣龍潭鄉三和村祥雲街77號
	住居所 (英文)	1. NO. 77, SHIANGYUN ST, SANHE VILLAGE, LONGTAN TOWNSHIP, TAOYUAN COUNTY 325, TAIWAN (R. O. C.)
三、申請人 (共1人)	名稱或姓名 (中文)	1. 乾坤科技股份有限公司
	名稱或姓名 (英文)	1. CYNTEC CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區研發二路二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 2, R&D 2ND RD., SCIENCE-BASED INDUSTRIAL PARK HSINCHU, TAIWAN, R. O. C.
	代表人 (中文)	1. 劉春條
	代表人 (英文)	1. LIU, STEVEN

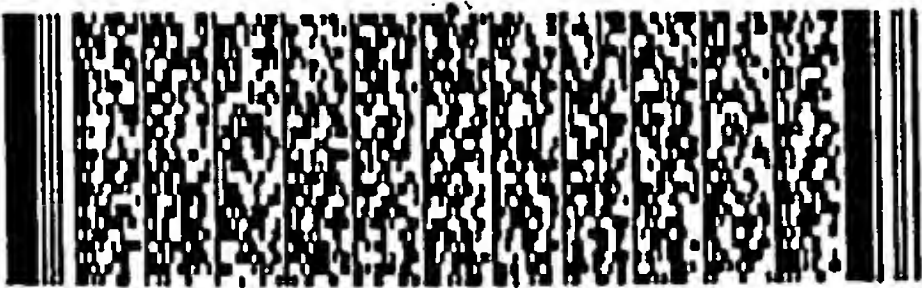


請日期：	IPC分類
請案號：	

以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	
	英文	
二、發明人 (共4人)	姓名 (中文)	2. 林哲弘
	姓名 (英文)	2. LIN, CHE HUNG
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 宜蘭縣冬山鄉冬山路3段436號
	住居所 (英文)	2. NO. 436, SEC. 3, DONGSHAN RD., DONGSHAN TOWNSHIP, YILAN COUNTY 269, TAIWAN (R. O. C.)
三、申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

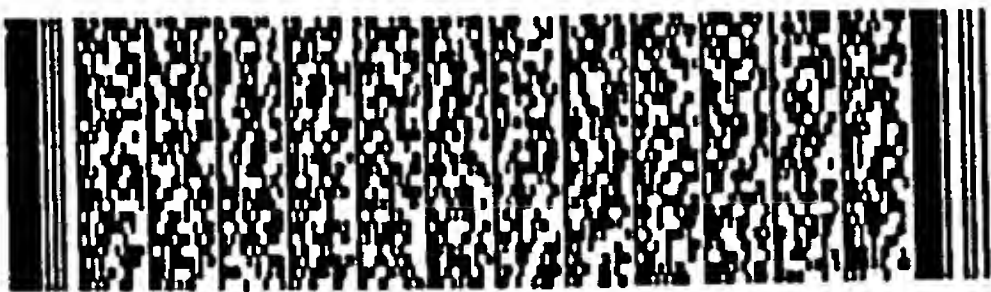


請日期：	IPC分類
請案號：	

(上各欄由本局填註)

發明專利說明書

一、 明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	3. 廖慶雄
	姓 名 (英 文)	3. LIAO, CHIN HSIUNG
	國 籍 (中 英 文)	3. 中華民國 TW
	住居所 (中 文)	3. 新竹縣竹北市縣政21街101巷1弄5號
	住居所 (英 文)	3. NO. 5, ALLEY 1, LANE 101, SIANJHENG 21ST ST., JHUBEI CITY, HSINCHU COUNTY 302, TAIWAN (R. O. C.)
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	

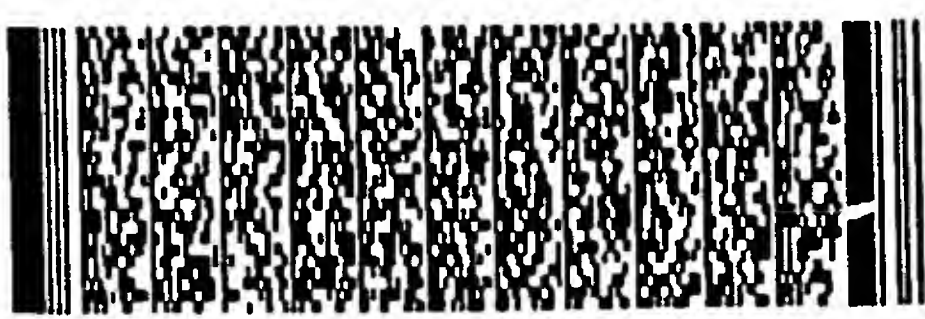


請日期：	IPC分類
請案號：	

以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	
	英文	
二、發明人 (共4人)	姓名 (中文)	4. 徐振傑
	姓名 (英文)	4. HSU, CHENG HSU
	國籍 (中英文)	4. 中華民國 TW
	住居所 (中文)	4. 新竹市光復路一段385巷20號4樓
	住居所 (英文)	4. 4F., NO. 20, LANE 385, SEC. 1, GUANGFU RD., HSINCHU CITY 300, TAIWAN (R. O. C.)
三、申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



1、中文發明摘要 (發明名稱：晶片封裝結構及其基板)

一種晶片封裝結構，至少包括基板、導線架、晶片、打線導線、散熱片及封裝材料。基板具有第一金屬層、第二金屬層及導電體，第一金屬層位於基板之第一表面上，第二金屬層位於基板之第二表面上，導電體位於基板之側表面上，第一金屬層透過導電體電性連接於第二金屬層。導線架位於基板之第一表面上，並與第一金屬層電性連接。晶片係以其背面接合於導線架上或是接合於基板之第一表面上，打線導線係連接於晶片及導線架，散熱片係位於基板之第二表面上，並與第二金屬層電性連接，封裝材料係包覆晶片、打線導線及導線架。

伍、(一)、本案代表圖為：第____2____圖

(二)、本案代表圖之元件代表符號簡單說明：

200：晶片封裝結構

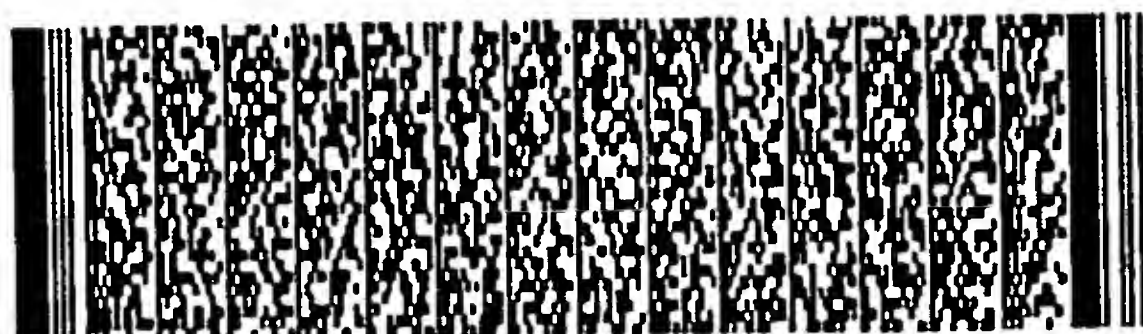
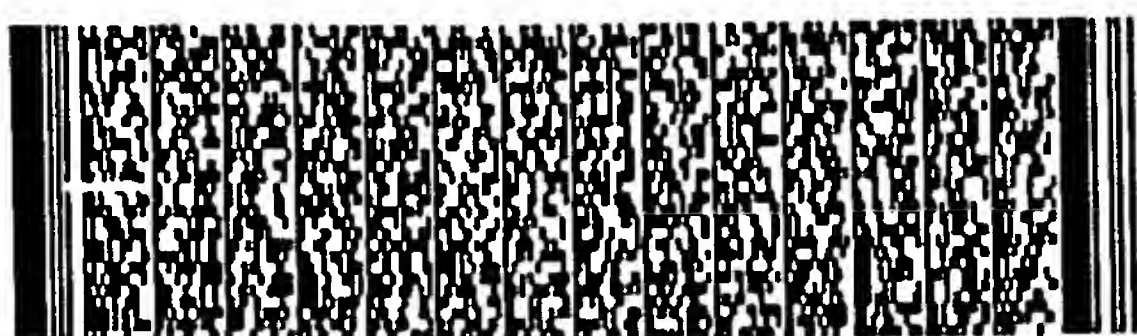
210：基板

212：絕緣層

213：上表面

六、英文發明摘要 (發明名稱：CHIP PACKAGE AND SUBSTRATE)

A chip package includes a substrate, a lead frame, a chip, wire-bonding wires, a heat sink and molding compound. The substrate has a first metal layer, a second metal layer and a conductor. The first metal layer is positioned on a first surface of the substrate. The second metal layer is positioned on a second surface of the substrate. The conductor is positioned on a lateral surface

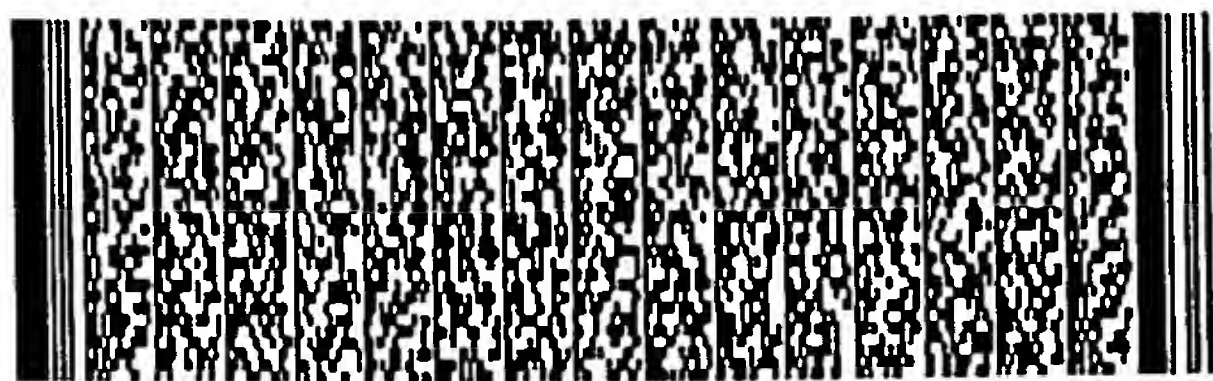


9、中文發明摘要 (發明名稱：晶片封裝結構及其基板)

214 : 金屬層	215 : 下表面
216 : 金屬層	217 : 側面
218 : 導電體	220 : 導線架
222 : 引腳	224 : 晶片座
230 : 晶片	232 : 主動表面
234 : 背面	236 : 接墊
240 : 晶片	242 : 主動表面
244 : 背面	246 : 接墊
250 : 散熱片	252 : 底面
260 : 封裝材料	272 : 打線導線
274 : 打線導線	276 : 打線導線

六、英文發明摘要 (發明名稱：CHIP PACKAGE AND SUBSTRATE)

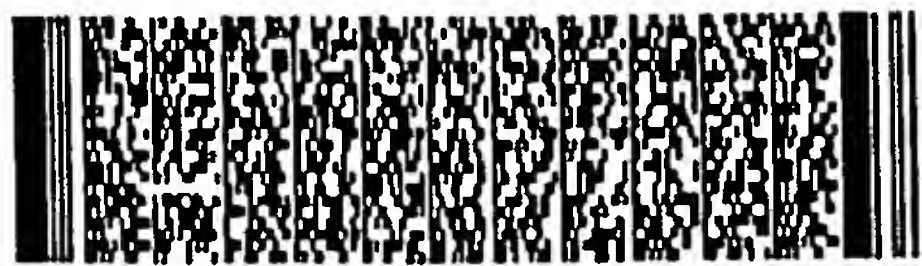
of the substrate. The lead frame is positioned on the first surface of the substrate and is electrically connected with the first metal layer. The chip has back surface mounted on the lead frame or on the first surface of the substrate. The wire-bonding wires connect the chip to the lead frame. The heat sink is mounted on the second surface of the substrate and is



四、中文發明摘要 (發明名稱：晶片封裝結構及其基板)

六、英文發明摘要 (發明名稱：CHIP PACKAGE AND SUBSTRATE)

electrically connected with the second metal layer. The molding compound envelops the chip, the wire-bonding wires and the lead frame.



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
------------	------	----	------------------

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：
日期：

無

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：
寄存機構：
寄存日期：
寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：
寄存日期：
寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

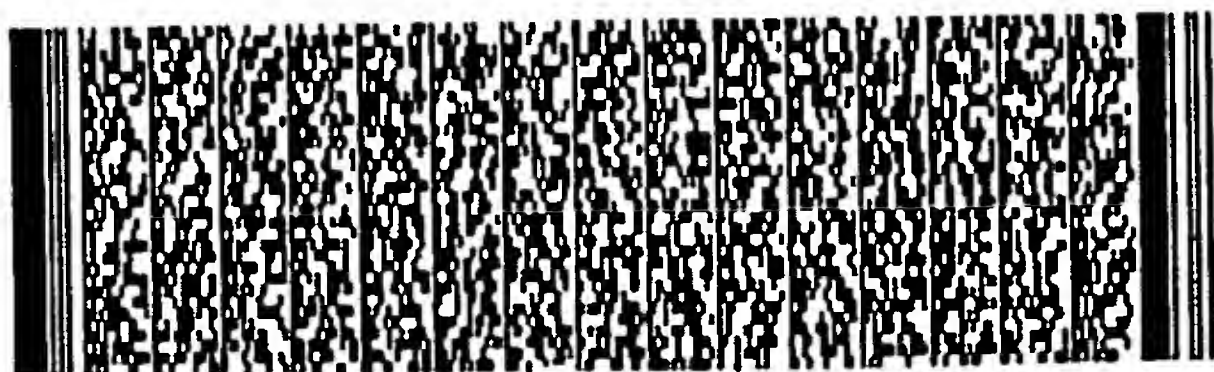
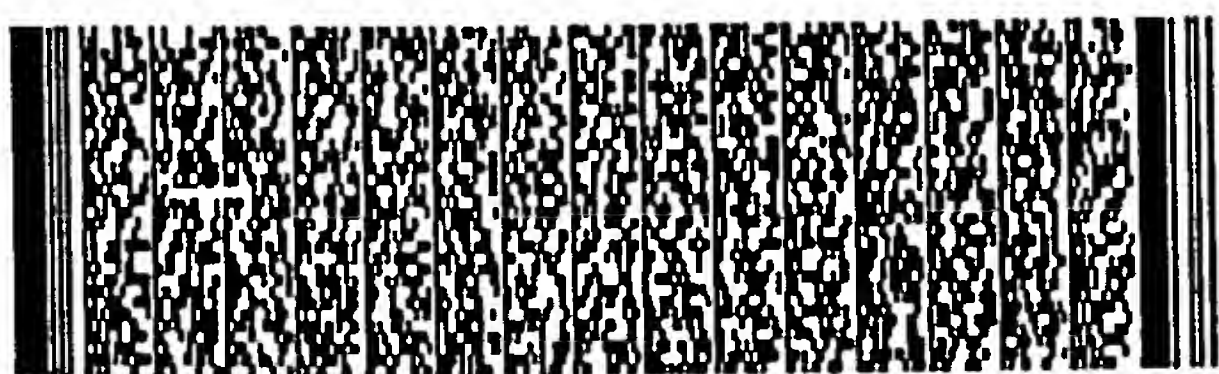
【發明所屬之技術領域】

本發明是有關於一種晶片封裝結構及其基板，且特別是有關於一種在基板側面配置有導電體使基板上下兩面電性連接之晶片封裝結構及其基板。

【先前技術】

在現今資訊世代的社會下，電子產品已變成人類不可或缺的日常用品，而電子產品的核心就是晶片，電子產品或透過晶片可以進行邏輯運算或是資料記憶。一般電源在輸出之後，會經過高功率電源模組，藉以控制電流的方向，並作為開關的功能。由於高功率電源模組會承受從電源端傳送過來之大電流或是大電壓的負載，因此高功率電源模組一般會產生大量的熱，必須要透過散熱片的設計，使得由高功率電源模組所產生的熱量可以快速地散到外界。

在早先的高功率電源模組(power module)之封裝結構中，會在絕緣基板的兩面分別配置導線架與散熱片，而導線架(lead frame)與散熱片(heat sink)之間係為電性隔離的。晶片係配置在導線架上，透過打線的方式可以使晶片與導線架電性連接。晶片所產生的熱可以經由導線架、絕緣基板及散熱片散逸到外界。在此封裝結構中，散熱片係僅只有散熱的功能，而就製程上而言，由於導線架與散熱片之間係為電性隔離，因此電鍍製具必須要使用至少兩個電極頭分別連接散熱片及導線架，才能進行鍍銀的作業，如此會增加製程的複雜性。



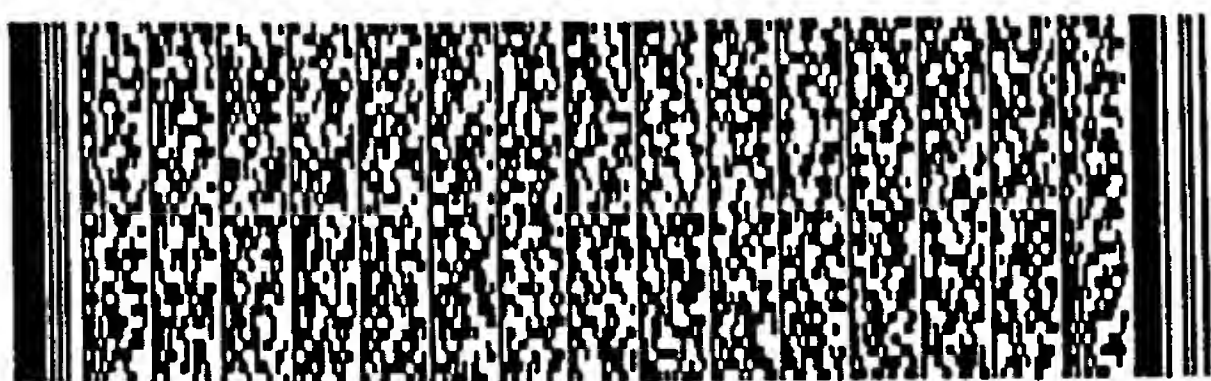
五、發明說明 (2)

在新的應用上，可以使散熱片與導線架電性連接作為接地平面，藉以穩定接地端電壓值。就製程上而言，電極端只需連接導線架，便可以完成散熱片及導線架之鍍錫電鍍的作業。故此種高功率電源模組可以提供較高的電性效能，且可以增加電鍍的便利性。而散熱片與導線架電性連接的方法係如下所述：

請參照第1圖，其繪示習知高功率電源模組之導線架、絕緣基板及散熱片組裝後之剖面示意圖。一般而言，高功率電源模組封裝結構包括絕緣基板110、導線架120及散熱片130，導線架120係接合在絕緣基板110的上表面112上，而散熱片130係接合在絕緣基板110的下表面114上，絕緣基板110具有多個導通孔116，而導通孔116內填入有金屬材料140，藉以使散熱片130與導線架120電性連接。

在高功率電源模組封裝結構的應用上，絕緣基板110一般是低熱阻性的材質，比如是氧化鋁(Al_2O_3)或氮化鋁(AlN)等之陶瓷材質。因此若要形成導通孔116於此種絕緣基板110中，可行的方法一般只有雷射鑽孔的方法或是孔洞預先成型的方法，但是此兩種方法均有缺點。

就雷射鑽孔的方法而言，其形成導通孔116所需的時間甚長，且鑽孔處會有火山口現象及熔渣噴濺現象，造成有多個凸起塊凸起於絕緣基板110上。因此，在鑽孔完成之後，還需利用表面研磨的方式，磨去這些凸起塊，並且即使在表面研磨處理之後，仍然會有一些凹痕在基板110之表面上，此凹痕會對基板110的信賴度有不良的影響。



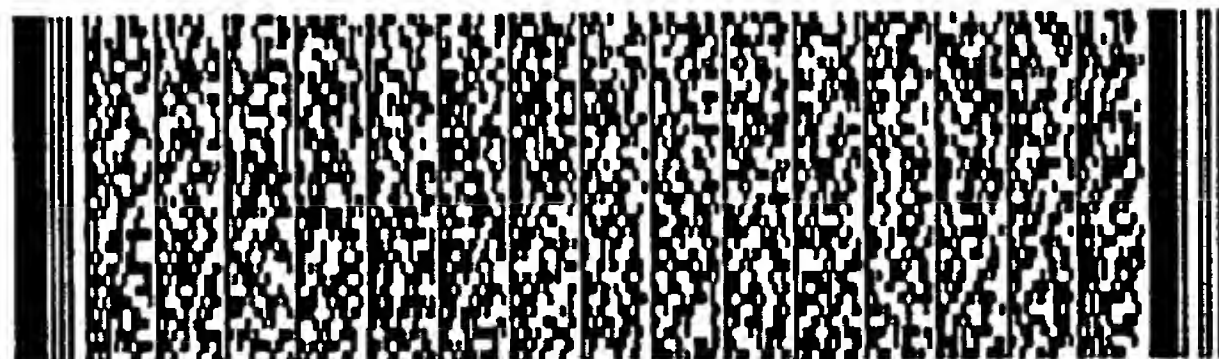
五、發明說明 (3)

接著，利用物理氣相沈積、化學氣相沈積或電鍍等之薄膜製程、或利用網板印刷方式之厚膜製程，形成金屬材料140於導通孔116中，如此導線架120便可以透過位在導通孔116內的金屬材料140電性連接於散熱片130。整個過程除了製程時間長之外，成本也高。

另外，就孔洞預先成形的方法而言，是在基板製作的生胚(green tape)階段，利用衝孔的方式，形成多個孔洞貫穿生胚，最後在進行燒結(cofire)生胚的過程，此時在生胚階段所形成的孔洞會形成貫穿基板110之導通孔116。接著，便可以利用前述之薄膜製程或厚膜製程，填入金屬材料140於導通孔116中，如此導線架120便可以透過位在導通孔116內的金屬材料140電性連接於散熱片130。此種方法在大量生產時成本確實低廉，但是如果應用在產量較低的產品上或是產品在實驗階段時，由於衝孔之模具製作費用昂貴，因此其費用在攤提到每一基板110之後，基板110之單位成本便會大幅提高，不符合成本效益。再者，受到基板110燒結之收縮率的影響，會導致導通孔116之精度不穩定，因而影響後續製程的良率。

【發明內容】

有鑑於此，本發明的目的之一是提出一種晶片封裝結構及其基板，其中在基板側面配置有導電體，可以使基板上、下兩面電性連接，如此可以省去製作導通孔的製程，故可以大幅縮減製程時間及製作成本，並且亦具有甚佳的電



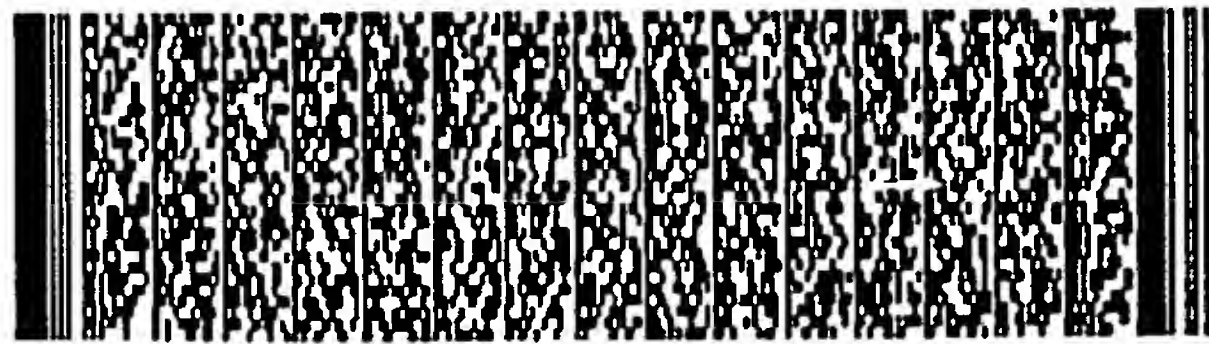
五、發明說明 (4)

性 效 能。

至材料金二電，裝一第導面面具有晶並線。結構封第之過表背片接上線料外。結及，板透一其晶連面打材裝片體基層第以且別表、裝封熱電於屬之係，分二片封片散導位金板片上線第晶於晶、及層一基晶面導之揭露一種線層屬第於。表線板包暴提出線金二上架連第條於料域，、第，側導電板。係裝分的片、上之。層基上片封部述、屬表基層金合表散接架上金一於金一接動，連線之線一第位二第是主架性導明導第之體第與或於線電中發、有板電於係上位導層其本板具基導接架架，及屬，達基板於，連線線墊墊金架為括基位上性導導接接二線少包。層面電，於個之第導料屬表體上合多片與及

依照本發明之一較佳實施例，其中導電體比如是由鈦層及銅層所構成的雙層金屬層結構、或是由鈦鎢合金層及銅層所構成的雙層金屬層結構、或是由鎳層、鉻層及銅層所構成的三層金屬層結構，其中導電體的厚度比如是介於0.1微米到5微米之間。另外，導電體亦可以是導電膠所構成。此外，基板具有絕緣層，而絕緣層的材質比如為陶瓷。

綜上所述，由於在基板側面配置有導電體，藉以使基板上、下兩面電性連接，如此可以省去製作導通孔的製程，故可以大幅縮減製程時間及製作成本，並且亦具有甚佳的電性效能。另外，就鍍錫電鍍製程而言，電極端只需連接



五、發明說明 (5)

導線架，便可以完成散熱片及導線架之鍍錫電鍍作業，故具有甚佳的電鍍便利性。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參照第2圖，其繪示依照本發明一較佳實施例之高功率電源模組之晶片封裝結構的剖面示意圖。一般而言，高功率電源模組之晶片封裝結構200包括基板210、導線架220、晶片230、240、散熱片250、封裝材料260及打線導線272、274、276。

基板210比如是由絕緣層212、金屬層214、216及導電體218所構成，其中金屬層214係位於絕緣層212之上表面213上，金屬層216係位於絕緣層212之下表面215上，導電體218係位於絕緣層212之側面217上，金屬層214、216係透過導電體218相互電性連接。在較佳的情況下，絕緣層212係為低熱阻性的材質，比如是氧化鋁(Al_2O_3)或氮化鋁(AlN)等之陶瓷材料。在較佳的情況下，金屬層214、216及導電體218要包括導電性良好的金屬層，比如是銅層。

請參照第3圖，其繪示依照本發明一較佳實施例之基板側面區域的剖面示意圖。在本實施例中，導電體218比如是由兩層金屬層218a、218b堆疊而成，其中位在內層之金屬層218a的材質比如是鈦或鈦鎢合金，而位在外層之金



五、發明說明 (6)

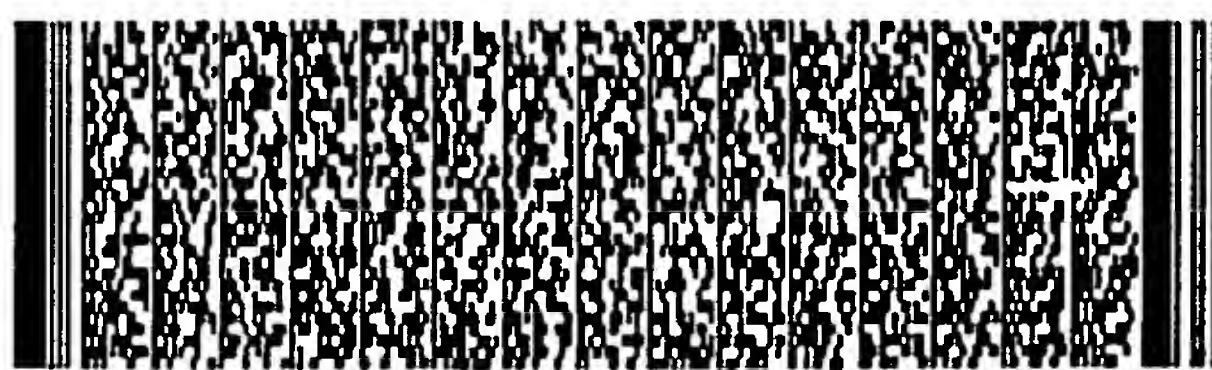
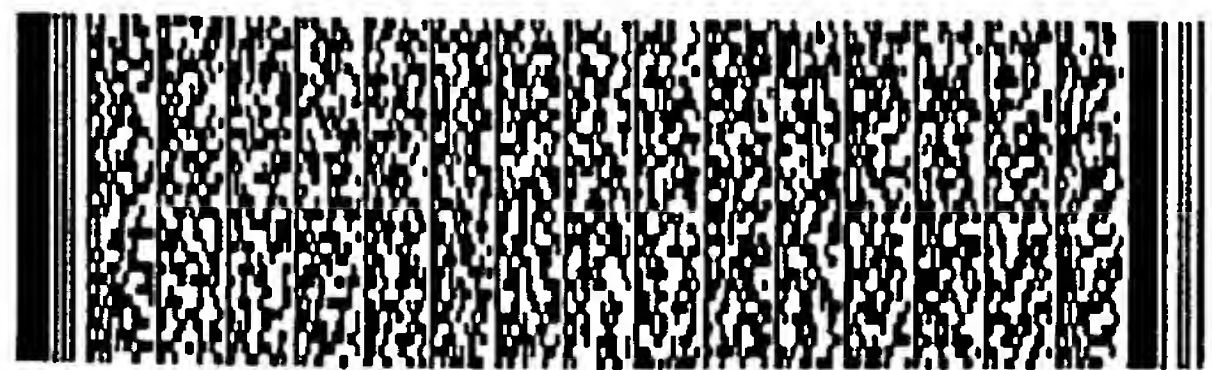
屬層218b的材質比如是銅。就形成導電體之製程而言，可以先利用濺鍍、蒸鍍或化學氣相沈積的方式，形成種子層，比如是金屬層218a，接著再利用電鍍的方式，形成較厚的金屬層218b於種子層218a上。在較佳的情況下，導電體218的厚度d比如是介於0.1微米到5微米之間。

然而本發明的應用並不限於此，導電體亦可以由三層或是更多層之金屬層所構成。舉例而言，導電體由內而外之金屬層順序比如分別是由鎳層、鉻層及銅層堆疊而成。或者，導電體亦可以是單層金屬層的結構。

或者，導電體亦可以是導電膠，比如係為銀膠。就製程而言，比如是先將滾輪沾上導電膠，接著再將沾上導電膠的滾輪塗抹絕緣層的側面，如此導電膠便可以殘留於絕緣層的側面上，之後再經過烘烤等步驟，導電膠便會固化而形成導電體。

請參照第2圖，導線架220係位於基板210之上表面213上，並與金屬層214電性連接。一般而言，導線架220包括多個引腳222及晶片座224，引腳222及晶片座224比如可以利用表面黏著技術(Surface Mount Technology, SMT)或是利用導電膠接合於金屬層214上。

晶片230係以其背面234並利用導電膠、非導電膠或錫料(未繪示)接合於導線架220之晶片座224上，且晶片230具有多個接墊236，位於晶片230之主動表面232上；而晶片240係以其背面244並利用導電膠、非導電膠或錫料(未繪示)接合於基板210之金屬層214上，晶片240具有多個接



五、發明說明 (7)

墊246，位於晶片240之主動表面242上。

利用打線的方式，會形成多條打線導線272分別連接於晶片230之接墊236及導線架220之引腳222，形成多條打線導線274分別連接於晶片240之接墊246及導線架220之引腳222，及形成多條打線導線276分別連接於晶片230之接墊236及晶片240之接墊246。

散熱片250係位於基板210之下表面215上，並與金屬層216電性連接，其中散熱片250比如可以利用表面黏著技術(SMT)或是利用導電膠接合於金屬層216上。透過金屬層214、216及導電體218，導線架220可以與散熱片250電性連接，而散熱片250比如是與接地端電性連接，藉以減緩接地端電壓值之變動。其中，散熱片250的材質比如是銅或鋁。

封裝材料260係包覆晶片230、240、打線導線272、274、276、導線架220、基板210及散熱片250，其中導線架220之引腳222係暴露於封裝材料260外，藉以與一外部線路(未繪示)電性連接，而散熱片250之底面252比如是暴露於封裝材料260外，可以與一散熱結構(未繪示)連接，藉以提高晶片封裝模組200的散熱效率。

結論

在本發明中，由於在基板側面配置有導電體，藉以使基板上下兩面電性連接，如此可以省去製作導通孔的製程，故可以大幅縮減製程時間及製作成本，並且亦具有甚



五、發明說明 (8)

佳的電性效能。另外，就鍍錫電鍍製程而言，電極端只需連接導線架，便可以完成散熱片及導線架之鍍錫電鍍作業，故具有甚佳的電鍍便利性。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示習知高功率電源模組之導線架、絕緣基板及散熱片組裝後之剖面示意圖。

第2圖繪示依照本發明一較佳實施例之高功率電源模組之晶片封裝結構的剖面示意圖。

第3圖繪示依照本發明一較佳實施例之基板側面區域的剖面示意圖。

【圖式標示說明】

110 : 絕緣基板	112 : 上表面
114 : 下表面	116 : 導通孔
120 : 導線架	130 : 散熱片
140 : 金屬材料	
200 : 晶片封裝結構	210 : 基板
212 : 絕緣層	213 : 上表面
214 : 金屬層	215 : 下表面
216 : 金屬層	217 : 側面
218 : 導電體	218a : 金屬層
218b : 金屬層	220 : 導線架
222 : 引腳	224 : 晶片座
230 : 晶片	232 : 主動表面
234 : 背面	236 : 接墊
240 : 晶片	242 : 主動表面
244 : 背面	246 : 接墊
250 : 散熱片	252 : 底面



圖式簡單說明

260 : 封 裝 材 料

274 : 打 線 導 線

d : 導 電 體 的 厚 度

272 : 打 線 導 線

276 : 打 線 導 線



六、申請專利範圍

1. 一種晶片封裝結構，至少包括：

一基板，具有一側面、一第一表面及對應之一第二表面，且該基板具有一第一金屬層、一第二金屬層及一導電體，該第一金屬層位於該基板之該第一表面上，該第二金屬層位於該基板之該第二表面上，該導電體位於該基板之該側面上，該第一金屬層透過該導電體電性連接於該第二金屬層；

一導線架，位於該基板之該第一表面上，該導線架係與該第一金屬層電性連接；

一第一晶片，該第一晶片具有一第一主動表面及對應之一第一背面，該第一晶片係以該第一背面接合於該導線架上及該基板之該第一表面上，二者擇一，且該第一晶片具有多個第一接墊，位於該第一主動表面上；

多條第一打線導線，分別連接於該第一晶片之該些第一接墊及該導線架；

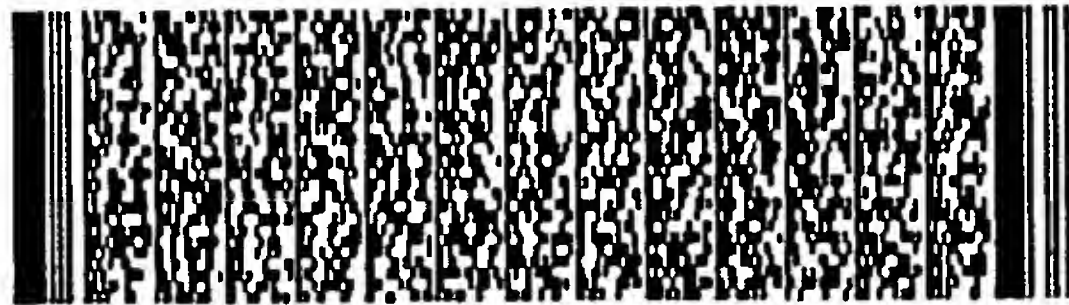
一散熱片，位於該基板之該第二表面上，並與該第二金屬層電性連接；以及

一封裝材料，包覆該第一晶片、該些第一打線導線及該導線架，該導線架之部分區域係暴露於該封裝材料外。

2. 如申請專利範圍第1項所述之晶片封裝結構，其中該導電體包括一銅層。

3. 如申請專利範圍第1項所述之晶片封裝結構，其中該導電體的厚度係介於0.1微米到5微米之間。

4. 如申請專利範圍第1項所述之晶片封裝結構，其中



六、申請專利範圍

該導電體係由導電膠所構成。

5. 如申請專利範圍第1項所述之晶片封裝結構，其中係由下列至少一種方式形成該導電體，該些方式包括濺鍍、蒸鍍、化學氣相沈積、電鍍及塗抹。

6. 如申請專利範圍第1項所述之晶片封裝結構，還包括一第二晶片及複數條第二打線導線，該第二晶片係接合於該導線架上及該基板之該第一表面上，二者擇一，該些第二打線導線分別連接於該第二晶片及該導線架，該封裝材料還包覆該第二晶片及該些第二打線導線。

7. 如申請專利範圍第6項所述之晶片封裝結構，還包括複數條第三打線導線，連接於該第一晶片及該第二晶片。

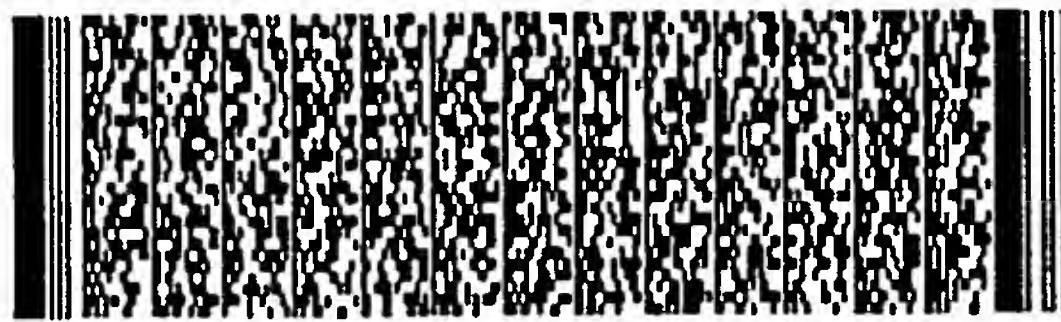
8. 如申請專利範圍第1項所述之晶片封裝結構，其中該基板具有一絕緣層，該絕緣層的材質係為陶瓷。

9. 一種基板，具有一側面、一第一表面及對應之一第二表面，該基板包括：

- 一第一金屬層，位於該基板之該第一表面上；
- 一第二金屬層，位於該基板之該第二表面上；以及
- 一導電體，位於該基板之該側面上，該第一金屬層透過該導電體電性連接於該第二金屬層。

10. 如申請專利範圍第9項所述之基板，其中該導電體包括一銅層。

11. 如申請專利範圍第9項所述之基板，其中該導電體的厚度係介於0.1微米到5微米之間。

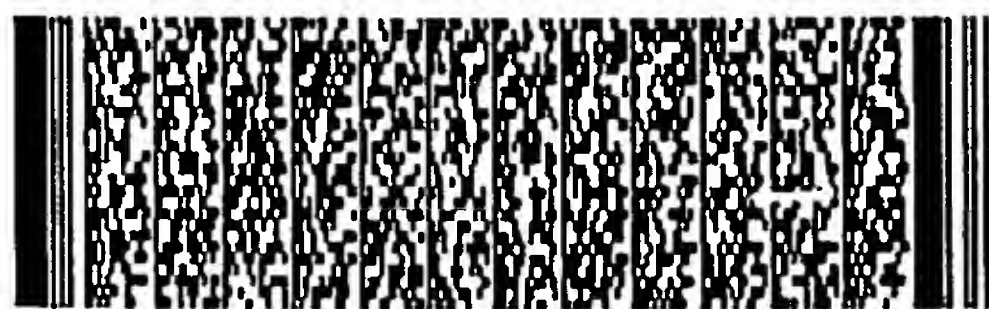


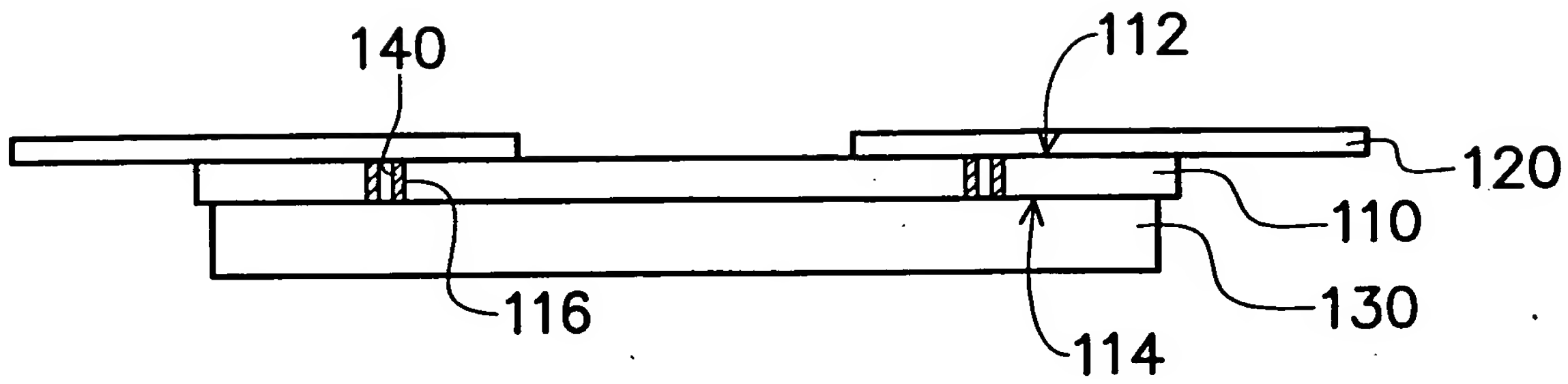
六、申請專利範圍

12. 如申請專利範圍第9項所述之基板，其中該導電體係由導電膠所構成。

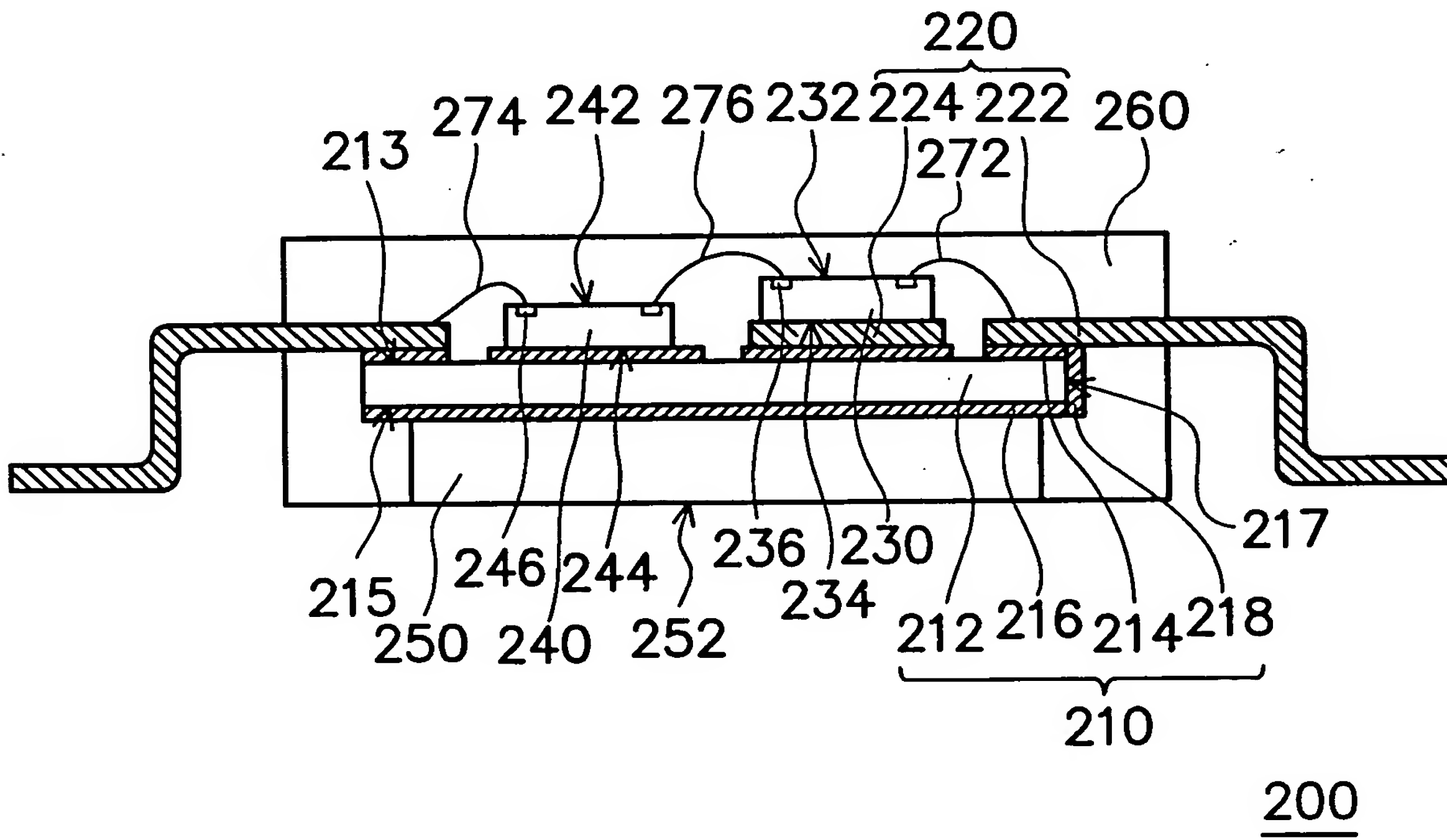
13. 如申請專利範圍第9項所述之基板，其中係由下列至少一種方式形成該導電體，該些方式包括濺鍍、蒸鍍、化學氣相沈積、電鍍及塗抹。

14. 如申請專利範圍第9項所述之基板，還包括一絕緣層，該絕緣層的材質係為陶瓷。

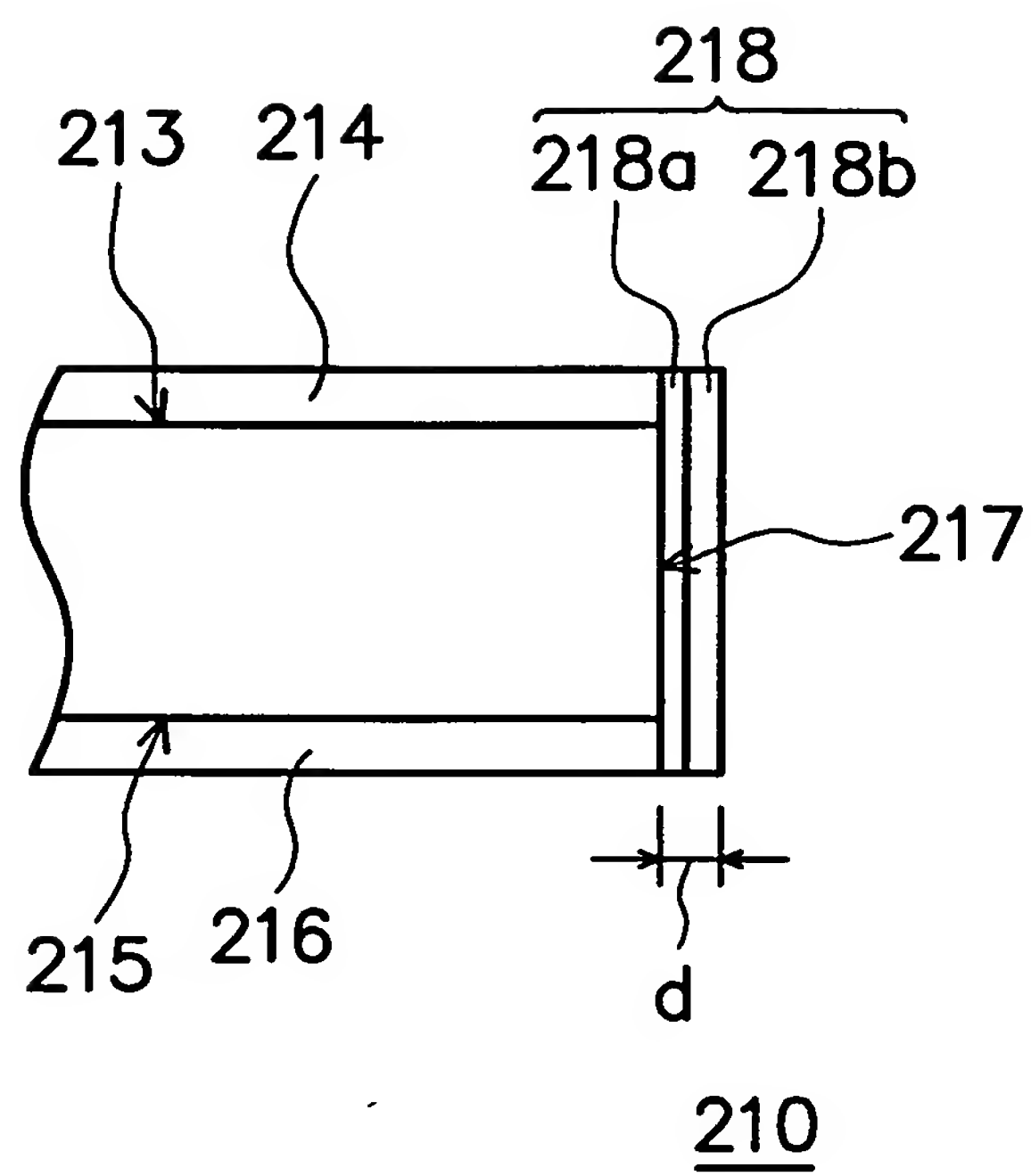




第 1 圖

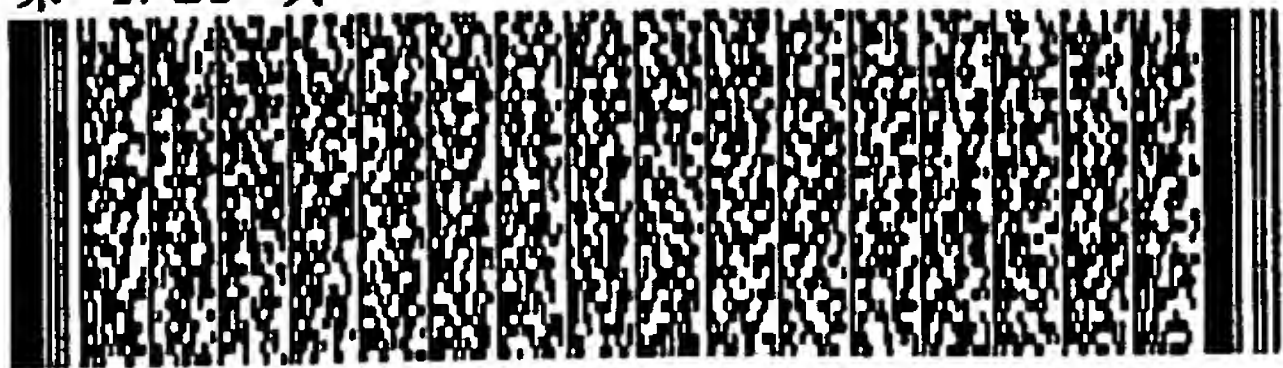


第 2 圖

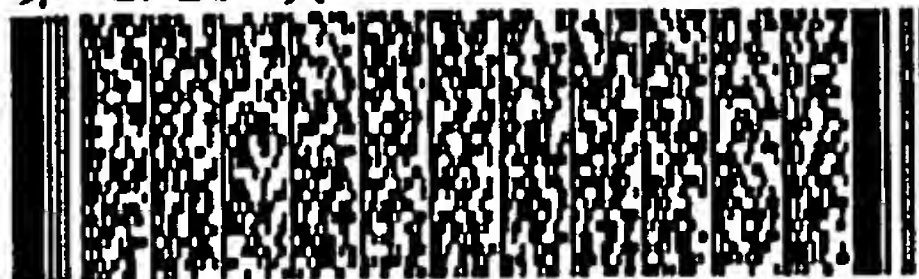


第 3 圖

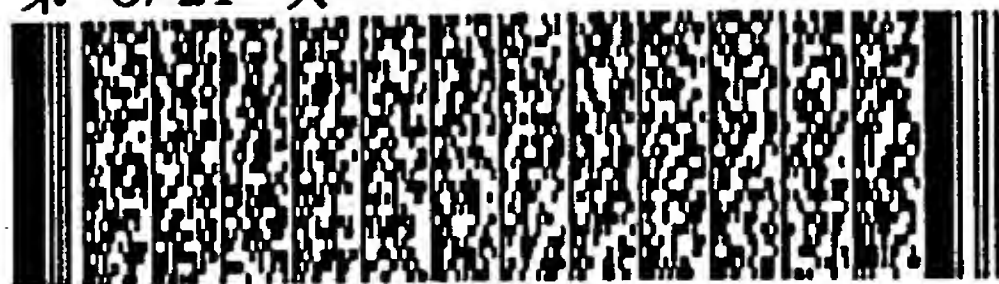
第 1/21 頁



第 2/21 頁



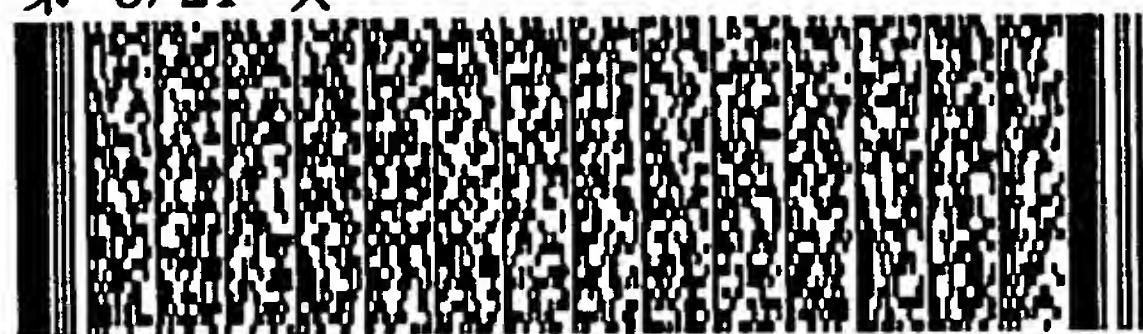
第 3/21 頁



第 4/21 頁



第 5/21 頁



第 5/21 頁



第 6/21 頁



第 7/21 頁



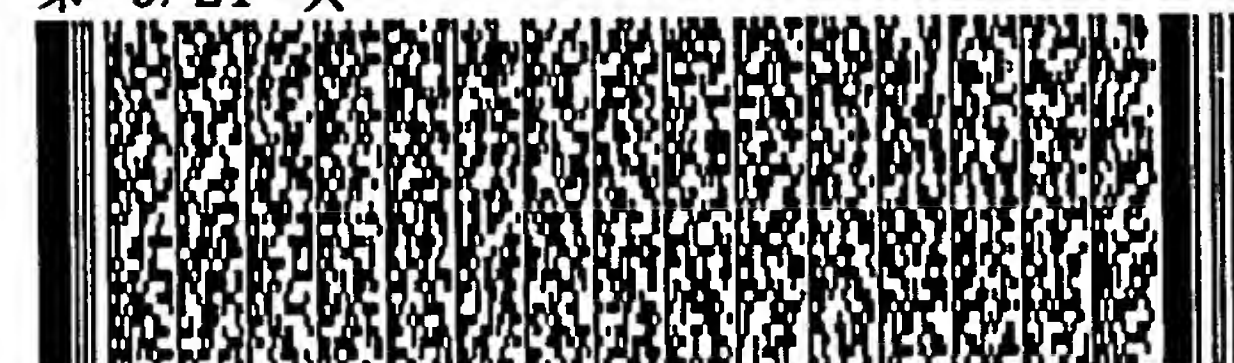
第 8/21 頁



第 9/21 頁



第 9/21 頁



第 10/21 頁



第 10/21 頁



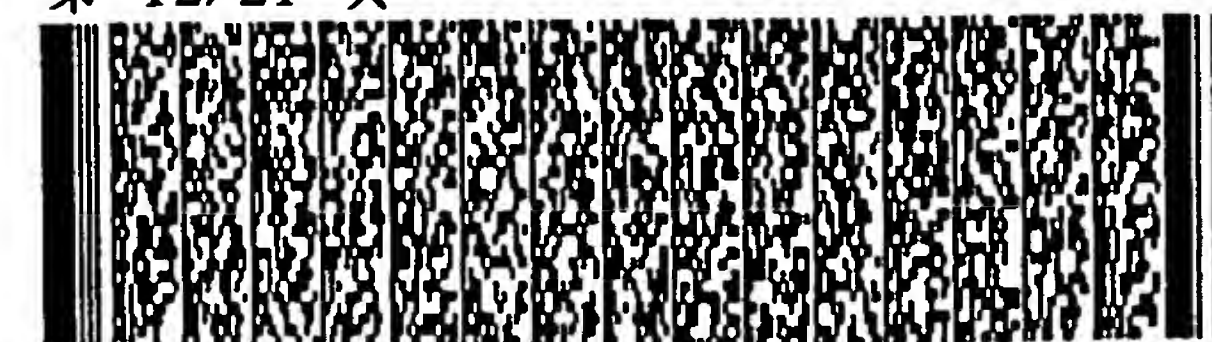
第 11/21 頁



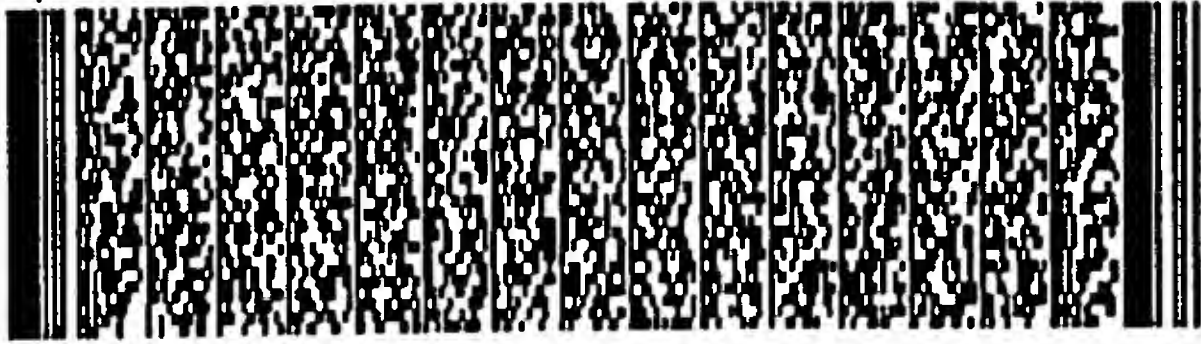
第 11/21 頁



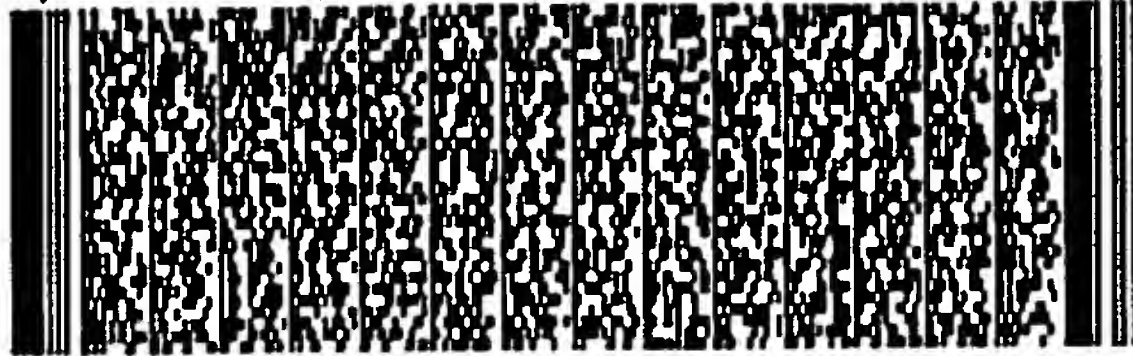
第 12/21 頁



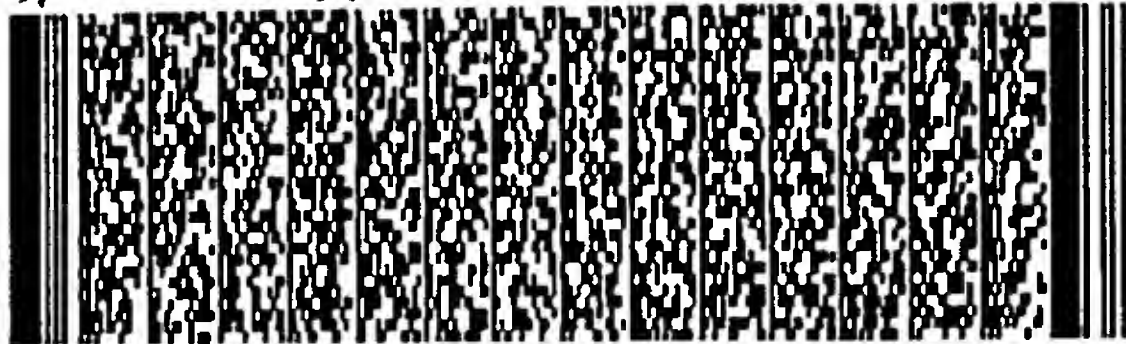
第 12/21 頁



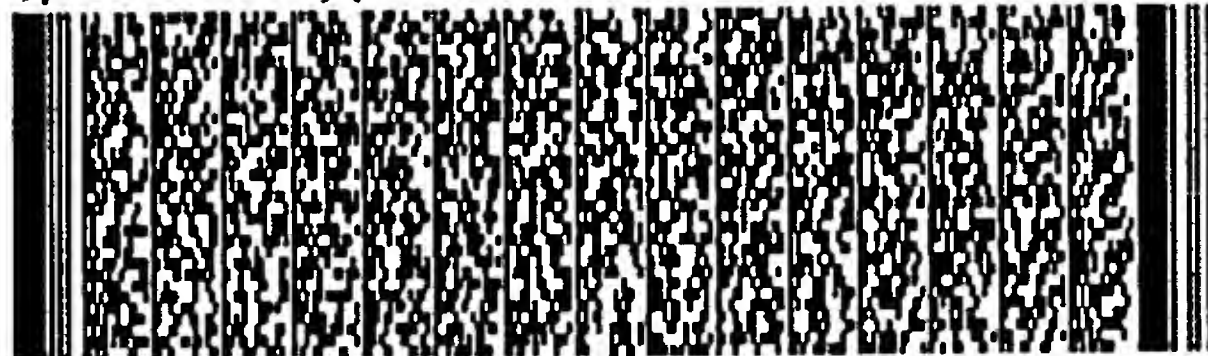
第 13/21 頁



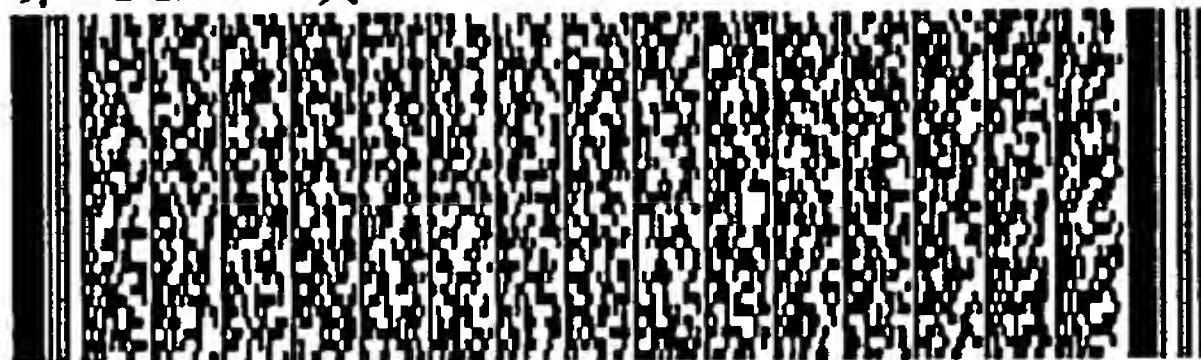
第 13/21 頁



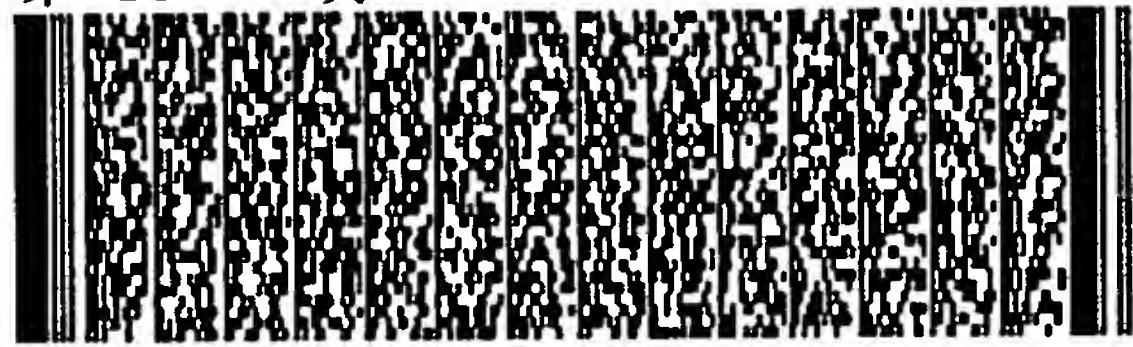
第 14/21 頁



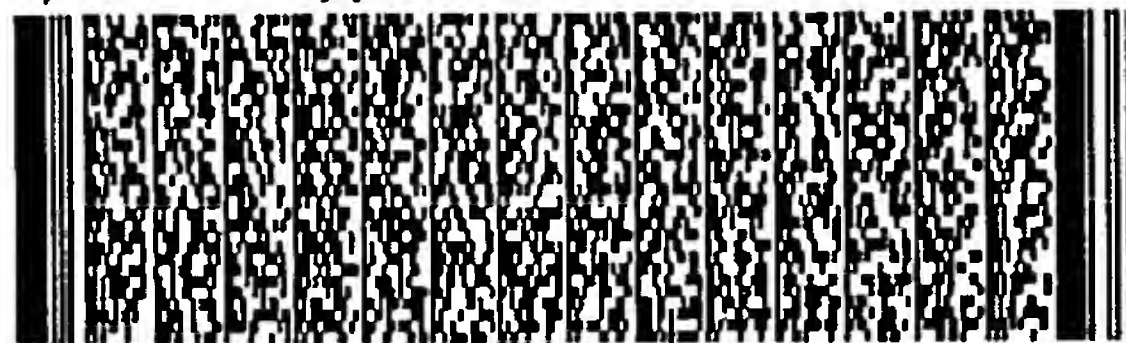
第 14/21 頁



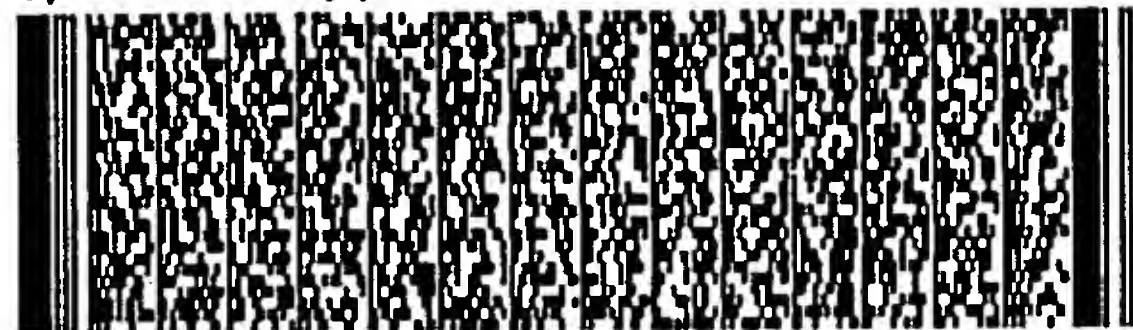
第 15/21 頁



第 15/21 頁



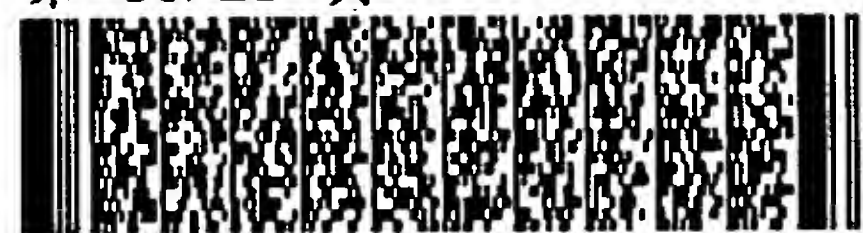
第 16/21 頁



第 17/21 頁



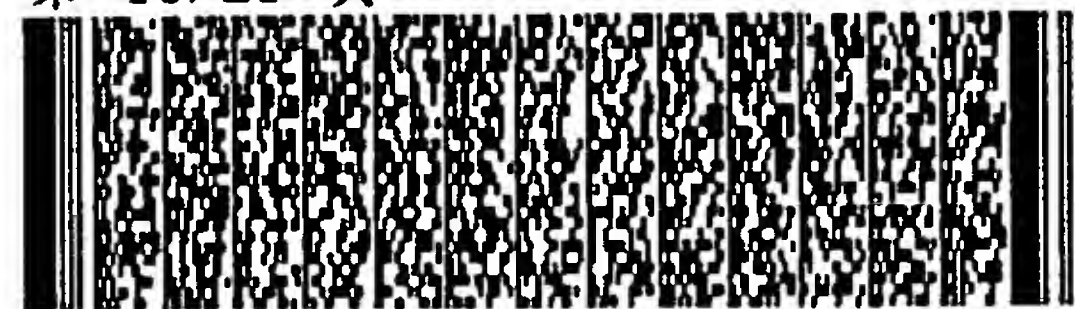
第 18/21 頁



第 19/21 頁



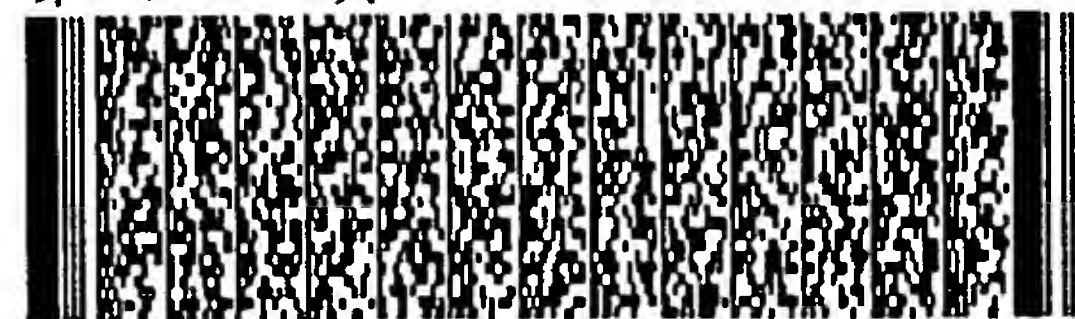
第 19/21 頁



第 20/21 頁



第 20/21 頁



第 21/21 頁

